

# Kapitel 1

## Grundlagen der Digitalen Elektronik

### 1.1 Logische Grundverknüpfungen bei historischer Logik

Am Beispiel einiger logischer Grundschaltungen lassen sich die logischen Grundverknüpfungen einfach erläutern. Die Auswahl der jeweiligen Grundschaltung wird hierbei anfangs nach didaktischen Gesichtspunkten und erst in Abschnitt 2 von der heutigen technischen Bedeutung her getroffen.

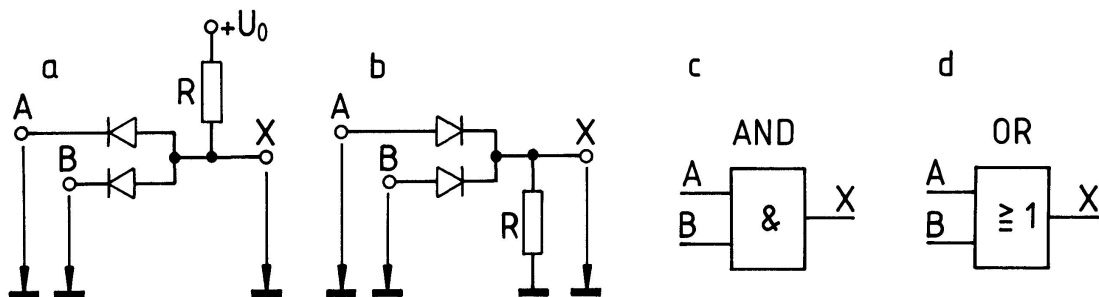


Abbildung 1.1: a) UND-Gatter b) OR-Gatter und c),d) deren Symbole

#### 1.1.1 Dioden-Logik

Im Bild 1.1 a und b sind zwei so genannte Gatterschaltungen mit Dioden dargestellt. An den Eingängen A und B kann nur entweder die Spannung  $U_0$  oder 0 Volt entsprechend dem logischen Zustand 1 (L) und der logischen 0 auftreten.

Bei Schaltung a) genügt bereits an einem der Eingänge die Spannung 0, um den Ausgang bei X auf  $0.7V \cong 0$  herunter zu ziehen. Erst wenn beide Eingänge auf 1 liegen, wird auch am Ausgang die 1 erscheinen. Man fasst diesen Sachverhalt in der so genannten Wahrheitstabelle (Tab. 1) zusammen.

A	B		X		A	B		X
—	—	—	—		—	—	—	—
0	0		0		0	0		0
0	1		0		0	1		1
1	0		0		1	0		1
1	1		1		1	1		1

GDE 1 Wahrheitstabelle AND-Schaltung

GDE 2 Wahrheitstabelle OR-Schaltung

Dreht man die Dioden um und schaltet den Widerstand nach Masse (Schaltung b), dann genügt bereits eine 1 an einem der beiden Eingänge, um den Ausgang auf  $U_0 - 0,7V \cong 1$  zu heben. Nur wenn sowohl an  $A$  als auch an  $B$  die 0 anliegt, kann  $X$  ebenfalls 0 werden. Die entsprechende Wahrheitstabelle ist in Tab. GDE 2 gegeben. Aus der Wahrheitstabelle Tab. GDE 1 erkennt man, dass die 1 nur erscheinen kann, wenn  $A$  und  $B$  die 1 aufweisen. Deshalb spricht man bei Schaltung a) von einer UND- bzw. AND-Verknüpfung oder auch von Konjunktion. Tab. GDE 2 zeigt dagegen, dass es genügt, wenn  $A$  oder  $B$  oder beide an die logische 1 gelegt werden, um beim Ausgang  $X$  die 1 auftauchen zu lassen. Diese Verknüpfung wird deshalb mit ODER bzw. OR bezeichnet bzw. Diskonjunktion. Eine symbolische Darstellung für Übersichtsschaltpläne für AND- bzw. OR-Schaltungen ist in Bild 1.1 c und d gegeben. Sie sind unabhängig von der jeweils verwendeten Technik (Logikfamilie).

Die Bool'sche Algebra ist ein weiteres Hilfsmittel, logische Zusammenhänge in Gestalt von Formeln zu behandeln. In ihr werden die beiden Grundverknüpfungen AND und OR folgendermaßen ausgedrückt:

$$\text{AND: } X = A \wedge B \quad (1.1)$$

$$\text{OR: } X = A \vee B \quad (1.2)$$

### 1.1.2 Negation, DTL

Die Ansteuerung eines normalen bipolaren Transistors bis nahe an die Grenzen des Ausgangskennlinienfeldes ermöglicht die Realisierung einer weiteren wichtigen Verknüpfung (Bild 1.2 a).

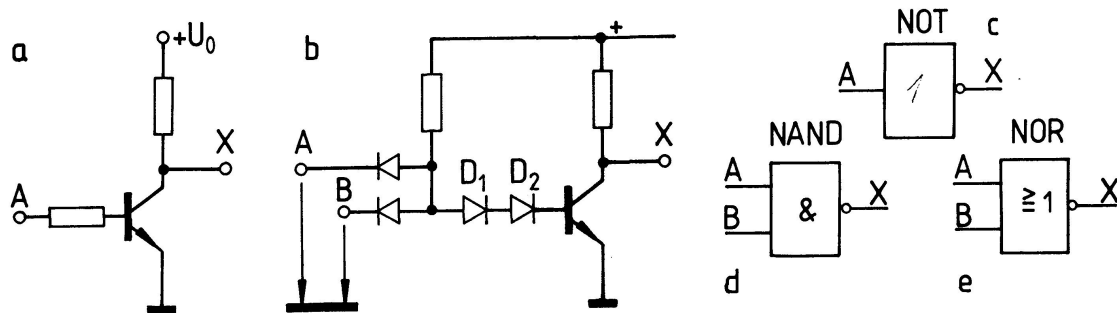


Abbildung 1.2:

Eine logische 1 bei  $A$  steuert den Transistor durch und zieht damit den Ausgang  $X$  auf eine Restspannung  $\cong 0$  herunter. Eine Sperrung des Transistors durch die logische 0 am Eingang hebt dagegen den Ausgang an die Versorgungsspannung heran. Damit zeigt der Ausgang jeweils das Gegenteil dessen, was am Eingang angelegt wurde. Es handelt sich also um die Negation oder die NICHT-Verknüpfung. Als Formel ausgedrückt:

$$X = \bar{A} \quad (1.3)$$

(sprich  $X$  gleich  $A$  nicht).

Eine Kombination des Inverters mit einem AND-Diodengatter nach Bild 1.2 b führt zu einer neuen logischen Verknüpfung, die gleichzeitig NOT- und AND-Verknüpfung enthält und deshalb die Bezeichnung NAND hat. Die beiden Dioden  $D_1$  und  $D_2$  dienen lediglich der Pegelverschiebung und sollen ein sicheres Sperren des Transistors sicherstellen.

Überträgt man die Darstellung der Negation durch den Strich nach Gl. 1.3 auf die Gl. 1.1, dann verbleibt

$$\text{NAND:} \quad X = \overline{A \wedge B} \quad (1.4)$$

Eine Zusammenschaltung des Inverters mit einem OR-Gatter führt sinngemäß zur NOR-Verknüpfung

$$\text{NOR:} \quad X = \overline{A \vee B} \quad (1.5)$$

Die Kombination von Dioden mit Transistoren hat den Namen DTL-Logik geprägt.

Im Schaltbild wird die Negation durch einen kleinen Kreis dargestellt (Bild 1.2 c, d, e). Er wird bei der einfachen Negation an ein Kästchen gefügt, während NAND und NOR durch Anfügen an AND und OR entstehen.

Die Wahrheitstabellen der NAND- und NOR-Verknüpfung sind in Tab. GDE 3 und 4 gegeben

A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

GDE 3 Wahrheitstabelle NAND

A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

GDE 4 Wahrheitstabelle NOR

## 1.2 Moderne Logikfamilien

### 1.2.1 TTL

Eine Weiterentwicklung des DTL-NAND-Gatters wird erreicht, wenn man anstelle der Gatterdioden die Basis-Emitterdioden eines Multiemitter-Transistors einsetzt. Der Transistor ersetzt dann  $D_1$  und  $D_2$  (Bild 1.3 a).

Bereits aus Bild 1.2 b ist erkennbar, dass für  $A = B = 1$  die Dioden  $D_1$  und  $D_2$  in Durchlassrichtung gepolt sind. Für den Transistor  $T_1$  bedeutet dies inversen Betrieb, d.h. eine Vertauschung der Rollen von Kollektor und Emittter. Gemäß Bild 1.3 b ergibt sich hieraus ein Betrieb von  $T_1$  als Emittterfolger, der direkt auf die Basis  $T_2$  koppelt und diesen durchsteuert.

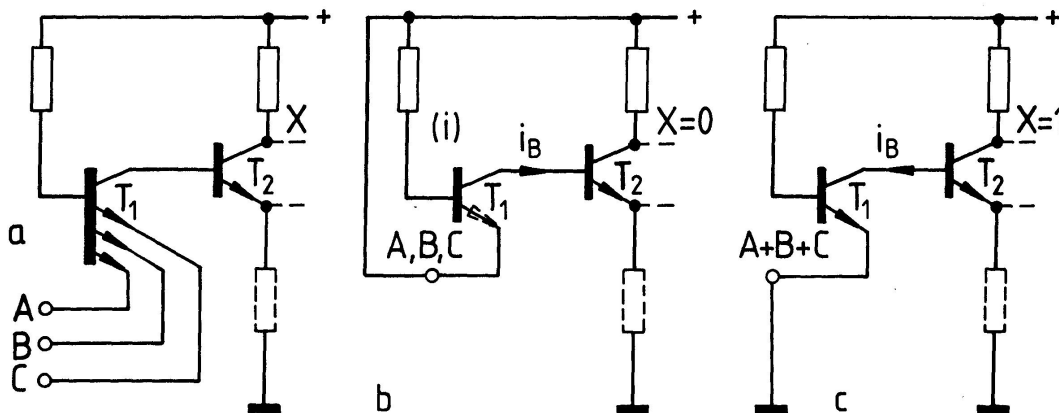


Abbildung 1.3: TTL-Logik a) Schaltbild, b) alle 3 Eingänge auf 1, c) ein Eingang auf 0

Im Falle einer logischen 0 an mindestens einem der drei Eingänge liegt zunächst einmal ein normal betriebener Transistor  $T_1$  vor (Bild 1.3 c). Sein Kollektorstrom fließt aus der Basis von  $T_2$  heraus und trägt im Moment des Umschaltens zu einem viel schnelleren Abfluss der die Basis von  $T_2$  überschwemmenden Ladungsträger bei. Hierin liegt der Vorteil der Schaltung gegenüber der DTL. Ist die Basis leer geräumt, sperrt  $T_2$  am Ausgang und es erscheint dort die logische 1.

Praktisch realisierte TTL Gatter haben meist noch eine spezielle Ausgangsstufe nach den gestrichelt gezeichneten, weiterführenden Verbindungen. Hierzu gehört auch der gestrichelte Emitterwiderstand.

### 1.2.2 ECL: Emitter gekoppelte Logik

Bei den bisher betrachteten Logikfamilien wurden die Aussteuerungen der Transistoren bis in die Sättigung hinein betrieben. Dies führt zu verlangsamttem Umschalten, da jedes Mal die stark mit Ladungsträgern überschwemmte Basiszone leer geräumt werden muss. Die nun folgenden Konzepte vermeiden eine Sättigung.

Aufbauend auf dem Differenzverstärker, der eine Kopplung der Transistoren über den Emitter vorsieht, kommt man nach Bild 1.4 zu einem ECL-Gatter

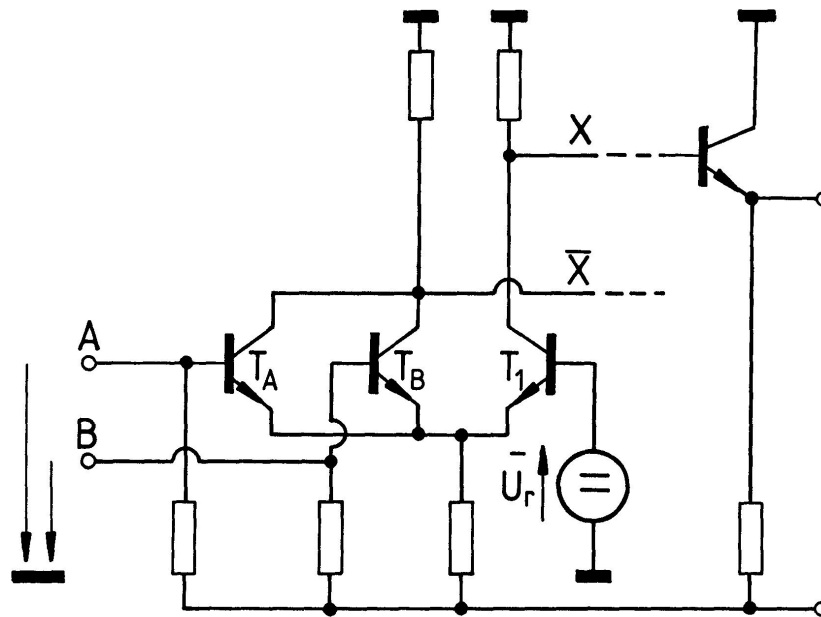


Abbildung 1.4: Emitter gekoppelte Logik

Sobald einer der Eingänge deutlich über die Referenzspannung  $U_r$  angehoben wird (logische 1), steuert der entsprechende Transistor durch und zieht den zuvor durch  $T_1$  fließenden Emitterstrom auf sich. Der Ausgang  $X$  wird dadurch auf 1 angehoben – es liegt also ein OR-Gatter vor. Bezieht man sich dagegen auf den Ausgang  $\bar{X}$ , dann erkennt man ein NOR-Glied. In der Praxis folgt an der Stelle der gestrichelt gezeichneten Leiter meist noch ein Emitterfolger zur Impedanzwandlung und Potenzialverschiebung.

### 1.2.3 CMOS-Logik

Die Verwendung von zwei komplementären Feldeffekt-Transistoren in Sourceschaltung führt zu einer Schaltung, bei der jeweils der eine Transistor den Arbeitswiderstand des anderen bildet. Dies ist das Grundelement der CMOS-Logik, der Inverter (Bild 1.5 b). Legt man an die beiden Gates eine hohe Spannung an ( $U_A = U_0$ ), dann wird der untere Transistor  $T_1$  leitend, der obere ( $T_2$ ) sperrt und am Ausgang erscheint  $OV$ . Kommt dagegen an den Eingang  $OV$ , dann sperrt  $T_1$  und  $T_2$  leitet, wodurch am Ausgang  $U_0$  erscheint. Die Schaltung kann am besten beschrieben werden durch Bild 1.5 a, in dem jeweils ein Schalter geschlossen und einer geöffnet ist.

Die Bildung eines Gatters erfordert nun die Kombination von zwei Schaltungen nach Bild 1.5 b. Man kann hierbei den oberen Transistor  $T_2$  durch einen ausgangsseitig parallel geschalteten Transistor  $T_2'$  ergänzen und den unteren Transistor  $T_1$  durch den serienschalteten Transistor  $T_1'$  (Bild 1.5 c). Durchschalten von mindestens einem Transistor der Gruppe  $T_2T_2'$  und Sperren von mindestens einem der Transistoren  $T_1T_1'$  führt am Ausgang zu 1 und erfordert mindestens an einem Eingang 0 d.h. es liegt ein NAND-Gatter vor.

Vertauscht man das Parallel- und Serienschalten, dann kommt man zu einer Schaltung nach 1.5 d. Durchschaltung von mindestens einem Transistor der Gruppe  $T_1T_2'$  und Sperren von mindestens einem Transistor der Gruppe  $T_2T_2'$  erfordert an mindestens einem Eingang die 1 und liefert am Ausgang 0. Damit ist diese Schaltung als NOR-Gatter einzustufen.

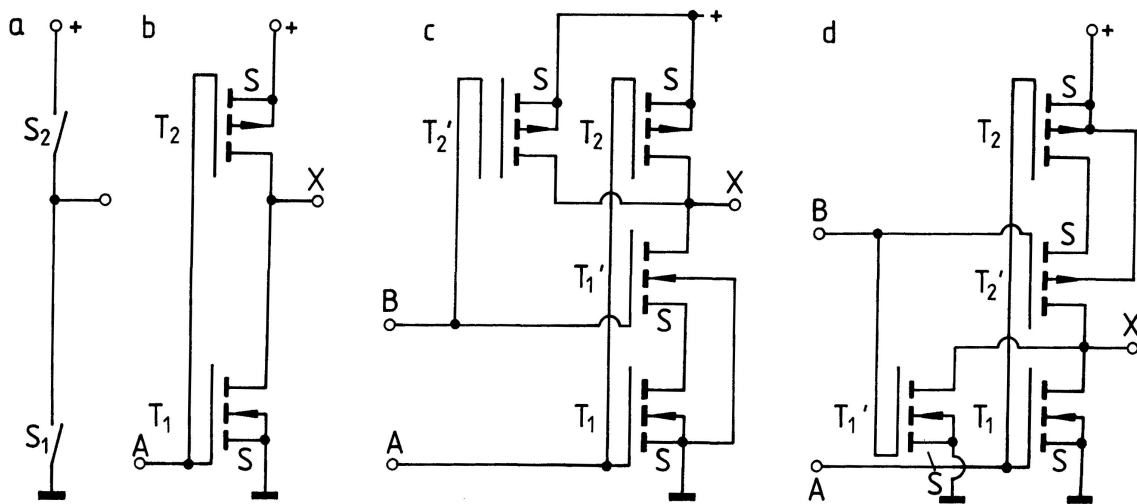


Abbildung 1.5: Inverter a) Ersatzschaltung b) Schaltung, c) NAND-, d) NOR-Gatter in CMOS Technik

### 1.3 Die Gesamtheit aller logischen Verknüpfungsmöglichkeiten zweier Variabler

Die bisher betrachteten logischen Verknüpfungen stellen nicht alle Möglichkeiten dar. Die beiden Variablen  $A$  und  $B$  führen zu einer Wahrheitstabelle mit vier Plätzen für  $X$ . Deren Besetzung mit 0 und 1 kann nun völlig beliebig sein. Alle auftretenden Möglichkeiten sind in der ersten Spalte der Tab. GDE 5 geordnet nach den von ihnen im Binärcode dargestellten Zahlenwerten aufgelistet. Bis auf Äquivalenz und Antivalenz sind alle mit den bisher betrachteten Schreibweisen darstellbar.

A	B	X	Bezeichnung	alternative Bezeichnung
0	0	0	Konstante	
0	0	1	$A \wedge B$ Konjunktion	UND- Funktion
0	0	1	$A \wedge \bar{B}$ Inhibition	
0	0	1	$A$ Identität	
0	1	0	$\bar{A} \wedge B$ Inhibition	
0	1	0	$B$ Identität	
0	1	1	$A \neq B$ Antivalenz	Exklusives ODER
0	1	1	$A \vee B$ Disjunktion	Inklusives ODER
1	0	0	$\bar{A} \vee \bar{B}$ NOR- Funktion	Inklusives NOR
1	0	0	$A \equiv B$ Äquivalenz	Exklusives NOR
1	0	1	$\bar{B}$ Negation	
1	0	1	$A \vee \bar{B}$ Implikation	
1	1	0	$\bar{A}$ Negation	Inversion
1	1	0	$\bar{A} \vee B$ Implikation	Einschluß
1	1	1	$\bar{A} \wedge \bar{B}$ Nand-Funktion	
1	1	1	1 Konstante	

Tab. GDE 5: Zusammenstellung aller Verknüpfungsmöglichkeiten bei zwei Variablen